



Attorney Docket No.: 08244.0026  
Customer Number: 22,852

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Sun-Oo KIM

Serial No.: 09/739,743

Filed: December 20, 2000

Group Art Unit: 2812

Examiner: Not Assigned

For: METHOD FOR MANUFACTURING INTERLAYER DIELECTRIC LAYER IN SEMICONDUCTOR

CLAIM FOR PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

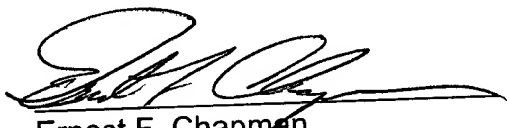
Under the provisions of 35 U.S.C. § 119, Applicant hereby claims the benefit of the filing date of Korean Patent Application No. 1999-61786, filed December 24, 1999, for the above-identified U.S. patent application.

In support of this claim for priority, enclosed is one certified copy of the priority application.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,  
GARRETT & DUNNER, L.L.P.

By:

  
Ernest F. Chapman  
Reg. No. 25,961

Date: May 2, 2001  
EFC/FPD/sem  
Enclosure

LAW OFFICES  
FINNEGAN, HENDERSON,  
FARABOW, GARRETT,  
& DUNNER, L.L.P.  
1300 I STREET, N. W.  
WASHINGTON, DC 20005  
202-408-4000



9062

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 61786 호  
Application Number

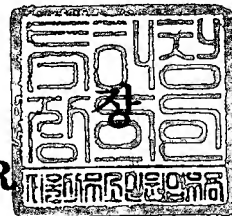
출원년월일 : 1999년 12월 24일  
Date of Application

출원인 : 현대전자산업주식회사  
Applicant(s)

2000 년 10 월 18 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0015
【제출일자】	1999. 12. 24
【발명의 명칭】	반도체 소자의 층간 절연막 형성 방법
【발명의 영문명칭】	Method of forming an inter-layer dielectric film in a semiconductor device
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	최승민
【대리인코드】	9-1998-000560-9
【포괄위임등록번호】	1999-003325-7
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	김선우
【성명의 영문표기】	KIM, Sun Oo
【주민등록번호】	670110-1384414
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자 사원아파트 107-1402
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 최승민 (인) 대리인 신영무 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원

1019990061786

2000/10/2

【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	394,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소자의 층간 절연막 형성 방법에 관한 것으로, 소자의 고집적화에 따라 단차비가 큰 배선 패턴 간에 층간 절연막이 완전히 매립되지 않아 보이드 등의 결함이 발생하여 소자의 절연특성이 저하되는 문제점을 해결하기 위하여, 기화된 TEOS와 과산화수소를 반응시켜 이의 중간 반응 물질 및 축합반응의 활발한 유동성에 의하여 배선 패턴 간의 골 매립 특성을 향상시킬 수 있는 반도체 소자의 층간 절연막 형성 방법이 개시된다.

**【대표도】**

도 4

**【색인어】**

TEOS, 과산화수소, 반응 중간 생성물, 축합 반응

## 【명세서】

## 【발명의 명칭】

반도체 소자의 층간 절연막 형성 방법{Method of forming an inter-layer dielectric film in a semiconductor device}

## 【도면의 간단한 설명】

도 1a 및 1b는 종래 반도체 소자의 층간 절연막 형성 방법을 설명하기 위해 도시한 소자의 단면도.

도 2는 본 발명에 적용되는 반도체 소자의 층간 절연막 증착 장비의 개략도.

도 3a 및 3b는 TEOS와 과산화수소의 반응 과정을 설명하기 위한 화학 구조도.

도 4a 내지 4c는 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법을 설명하기 위해 순차적으로 도시한 소자의 단면도.

도 5a 및 5b는 TEOS의 변형물질과 과산화수소의 반응을 설명하기 위해 도시한 화학 구조도.

## &lt;도면의 주요 부분에 대한 부호 설명&gt;

20 : 반응로      21 : 웨이퍼

22 : 서셉터      23 : 온도 조절 장치

24 : 가스 분사구    25, 27 : 기화 및 가스 유량 조절 장치

26, 28 : 전달가스 공급부    29 : 보조가스 공급부

41 : 반도체 기판    42 : 배선 패턴

43A, 43 : 층간 절연막    44 : 반응 중간 물질

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13>      본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 고집적 반도체 소자의 하부 배선 패턴간의 절연 특성 및 갭 매립 특성을 우수하게 할 수 있는 반도체 소자의 층간 절연막 형성 방법에 관한 것이다.

<14>      반도체 소자의 층간 절연막은 배선 패턴간의 전기적 절연을 위해 반드시 필요하다. 그러나, 반도체 소자가 고집적화될수록 소자의 에스펙트 비(Aspect Ratio)가 증가되어 배선 패턴간의 갭 매립 특성이 불량해져 소자의 신뢰성을 저하시키는 문제가 있다.

<15>      도 1a 및 1b는 종래 반도체 소자의 층간 절연막 형성 방법을 설명하기 위해 도시한 소자의 단면도이다.

<16>      도 1a에 도시된 바와 같이, 하부구조가 형성된 반도체 기판(11) 상에 배선 패턴(12)을 형성하고, 전체구조 상에 층간 절연막(13)을 증착한다.

<17>      여기에서 층간 절연막은 TEOS를 오존( $O_3$ ),  $O_2$ ,  $N_2O$  등과 같은 활성 산소와 반응시키고 보론(B), 인(P) 등과 같은 불순물을 포함시켜 증착한 후,  $800^\circ C$  이상의 고온에서 열처리하여 배선 패턴 간을 치밀화시키는 방법으로 형성된다. 그러나 소자가 고집적화됨에

따라 배선의 단차비가 6 이상이 되고 동시에 얇은 접합 형성에 따른 열 버젯(budget)의 제한으로 인하여 배선간에 층간 절연막이 완전히 매립되지 않고 보이드(A)가 발생되게 된다.

<18> 도 1b는 화학적 기계적 연마(CMP) 공정 등을 통해 층간 절연막(13) 표면을 평탄화한 후, 감광막 패턴(14)을 형성하고 식각 공정을 실시하여 콘택 홀을 형성한 상태를 나타내는 소자의 단면도이다. 그런데, 감광막의 노광식 식각 공정시 보이드(A)가 발생했던 위치에 폴리머가 잔류하여, 이 폴리머가 콘택 홀 식각 공정시 식각 장벽층으로 작용하므로써 콘택 홀 내부의 층간 절연막이 완전히 제거되지 않고 잔류하는 것(B)을 알 수 있다. 이와 같이, 콘택 홀 내에 잔류물(B)이 남게 되면 배선 패턴 간에 전기적 신호가 진행하는 것을 방해하여 소자가 오동작하게 되는 문제점이 있다.

<19> 또한, 최근  $0.13\mu\text{m}$  이상의 디자인 룰(Design rule)에서는 저저항 워드라인 및 비트라인 배선 구조가 도입됨에 따라 배선 재료로써 사용되는 금속-실리콘 합금, 실리사이드 또는 금속 질화물 및 금속물질 등이 후속 열처리 공정에 의하여 변성되거나 열화되는 현상이 발생하게 된다. 따라서,  $800^{\circ}\text{C}$  이하의 저온에서 우수한 층간 매립 특성을 갖는 층간 절연 물질 및 이를 이용한 층간 절연막 형성 방법이 요구되고 있다.

<20> 이러한 문제점을 개선하기 위하여  $\text{SiH}_4$ 와  $\text{H}_2\text{O}_2$ 를 이용한 층간 절연막 형성 방법이 개발되어 있으나, 거의  $0^{\circ}\text{C}$ 에 가까운 저온 증착에 따른 공정의 재현성 및 후속 열처리 공정의 추가에 따라 공정 집적도 및 증착막의 불안정성으로 인해 크랙(Crack)이 발생하는 등 소자의 안정성이 결여되는 문제점이 있다.



【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 본 발명은 기화된 TEOS와 과산화수소를 반응시켜 이의 중간 반응 물질 및 축합반응에 의하여 배선 패턴 간의 골 매립 특성을 향상시킬 수 있는 반도체 소자의 층간 절연막 형성 방법을 제공하는데 그 목적이 있다.
- <22> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법은 배선 패턴이 형성된 웨이퍼를 반응로에 장착하고, 액화 상태의 TEOS 및  $H_2O_2$ 를 기화시켜 상기 반응로에 장착된 상기 웨이퍼 표면에 분사하는 단계; 및 상기 혼합된 TEOS 및  $H_2O_2$ 가 상기 웨이퍼 표면에서 상호 반응을 일으켜 반응 중간 물질이 생성되고 상기 반응 중간 물질의 축합 반응 결과물에 의해 상기 웨이퍼의 전체구조 상에 층간 절연막이 형성되는 단계를 포함하여 이루어지는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <23> 일반적으로 TEOS와 산소 또는 산화제가 접촉하게 되면 TEOS는  $Si-O-Si$  결합 또는  $-Si-OH$  결합을 형성하게 되며, 특히  $Si-OH$  결합은 상호간의 축합 반응에 의하여  $Si-OH + OH-Si \rightarrow Si-O-Si + H_2O$ 를 형성하게 된다. 이러한 반응의 진행에 의하여  $TEOS + 산소 \rightarrow SiO_2 + 부산물$ 의 반응을 형성하게 된다. 대개의 경우 이 반응은 인입되는 물질의 양 및 비에 의하여 결정될 정도로 빠르게 일어나며, 표면에서의 물질 이동이 어느 정도 가능한 수준의 중간 물질을 형성하여 실리콘 산화막을 형성하게 된다.

- <24> 본 발명에서는 TEOS와  $H_2O_2$ 의 반응은 일단의 TEOS 및  $H_2O_2$ 를 액상에서 기상으로 변화시켜 반응로로 도입하며, 반응 표면에서 비로소  $H_2O_2 \rightarrow H_2O + O$ 로 분리되어 반응성과

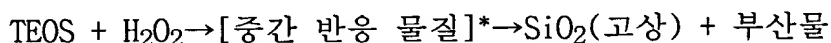
활성도가 우수한 산소 이온을 발생하게 되어 TEOS와 반응하게 된다. 또한, 분산물로 존재하는 H<sub>2</sub>O가 적당량 반응된  $\text{TEOS} + \text{O} \rightarrow \text{-Si-O}$  또는  $\text{Si-OH}$  결합이 형성되는 반응에 있어서, 반응 속도 및 반응 후 표면에서의 물질 이동을 위한 충분한 환경 형성 및 액상화를 확보하여 중간 물질 및 반응 완성물의 유동성을 확보하게 된다.

- <25> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다.
- <26> 도 2는 본 발명에 적용되는 반도체 소자의 층간 절연막 증착 장비의 개략도이다.
- <27> 웨이퍼(21)는 반응로(20) 내의 서셉터(22)에 장착되고, 서셉터(22)에는 필요에 따라 반응로(20) 내부를 가열/냉각시켜 증착 온도를 변화시킬 수 있도록 한 온도 조절 장치(23)가 부착되어 있다. 온도 조절 장치(23)에 의한 반응로(20) 내의 온도 조절 범위는 -20 ~ 600℃이고 압력은 1 내지 2Torr 범위이다. TEOS와 H<sub>2</sub>O<sub>2</sub>는 각각 독립된 관을 통하여 기화되어 반응로(20) 내부로 도입된다. 즉, 기화 및 가스 유량 조절 장치(25, 27)를 통해 기화되어 공급되는 TEOS 및 H<sub>2</sub>O<sub>2</sub>는 반응로(20) 내의 가스 분사구(24)에서 혼합되고 분사된다. TEOS 및 H<sub>2</sub>O<sub>2</sub>는 초음파 분무, 진공상태에서의 기화 또는 저압 분위기로의 주입 등을 통한 방법으로 반응로(20)까지 액화되지 않은 상태로 도입되게 된다. TEOS와 H<sub>2</sub>O<sub>2</sub>를 각각 기화 및 가스 유량 조절 장치(25, 27)로 공급할 때에는 액상 전달을 위하여 전달가스 공급부(26, 28)를 통해 Ar, He, N<sub>2</sub> 등의 불활성 기체를 공급한다. 또한, 기화된 TEOS 및 H<sub>2</sub>O<sub>2</sub>를 반응로(20) 내에 공급할 때, 반응로(20) 내부의 균일도를 향상시키기 위하여, 보조가스 공급부(29)를 통하여 Ar, He, N<sub>2</sub> 등의 불활성 기체가 공급된다.

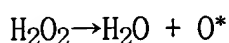
<28> 도 3a 및 3b는 TEOS와 과산화수소의 반응 과정을 설명하기 위한 화학 구조도로써, 도 2를 재참조하여 본 발명에 따른 중간 절연막 형성 방법의 원리를 설명하면 다음과 같다.

<29> 반응로(20) 내의 가스 분사구(24)로 인입된 TEOS 및  $H_2O_2$ 의 기화된 원료는 웨이퍼(21) 표면에서 서로 접촉하게 된다. 이에 따라,  $(C_2H_5O)-Si-(OH_2C_2)$  등의 결합이  $H_2O_2$ 에서 탈리된 활성화된 O에 의하여  $(C_2H_5O)-Si-O$ 의 구조로 바뀌며, 이러한 반응은 하나의 실리콘 원자에 네 개의  $C_2H_5O$  결합을 갖고 있는 TEOS의 각 결합에서 일어나게 된다. [화학식 1]은 TEOS와  $H_2O_2$ 의 반응을 도식화한 것이고, 도 3a는 이에 대응하는 화학구조도이다. 또한, [화학식 2]는  $H_2O_2$ 에서 O가 탈리되는 것을 설명하기 위한 화학식이다.

<30> 【화학식 1】



<31> 【화학식 2】



<32> 또한, 이렇게 형성된 Si-O 또는 Si-OH 결합은, 도 3b에 도시된 바와 같이, 강력한 결합 특성을 갖기 때문에 근처의 Si-O 결합 및 Si-OH 결합 등과의 축합반응에 의하여  $-O-Si-O$ 의 결합을 형성하므로써 실리콘 산화막을 확보할 수 있게 된다.

<33> TEOS 및 O의 축합 반응에 의하여 생성된  $H_2O$ 는 TEOS와  $H_2O_2$ 의 격렬하면서도 순간적인 반응을 억제하는 매질의 역할을 함과 동시에, 각각 생성된 중간 물질 즉,  $(C_2H_5O)-Si-O$  또는  $-OH$  결합 구조 등을 갖고 있는 최종 단계 이전의 중간 과정에서 생성된 물질 등의 유동성을 확보하게 된다. 일반적으로 화학기상 증착법에 의하여 형성되는 박막

의 경우 표면에서 미약하나마 어느 정도 표면 이동성을 갖고 있지만, 본 발명에서는 반응의 부산물에서 발생하는  $H_2O$ 가 상당히 중요한 역할을 수행한다. 따라서, 기존의 방법에서보다 뛰어난 표면 이동성을 확보하게 되어 통상적인 BPSG 형성 공정 및 후속 열처리에서 확보될 수 있는 층간 매립 특성을 후속 열처리 공정 없이 확보할 수 있는 장점이 있다.

<34> 도 4a 내지 4c는 본 발명에 따른 반도체 소자의 층간 절연막 형성 방법을 설명하기 위해 순차적으로 도시한 소자의 단면도이다.

<35> 도 4a에 도시된 바와 같이, 하부구조가 형성된 반도체 기판(41) 상에 배선 패턴(42)을 형성한다. 이후, TEOS와  $H_2O_2$ 의 중간 반응 물질 및 후속 축합 반응에 의하여 배선 패턴(42) 간에 매립되도록 층간 절연막을 형성한다. 증착 초기에는 반응로 내의 가스 분사구로부터 혼합되어 분사되는 기상의 TEOS와  $H_2O_2$ 가 웨이퍼 표면에 접촉되기 시작한다.

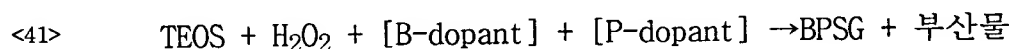
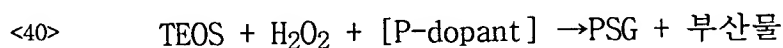
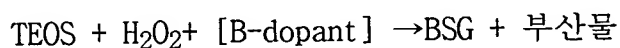
<36> 도 4b는 증착이 어느정도 진행된 후의 단면도인데, TEOS와  $H_2O_2$ 의 중간 반응 물질의 축합반응에 의하여  $-O-Si-O$ 의 결합을 형성하므로써 층간 절연막(실리콘 산화막; 43A)이 확보되기 시작하는 것을 알 수 있다. 배선 패턴(42) 간의 좁은 골은 증착 특성이 열악한데, TEOS와  $H_2O_2$  반응의 중간 물질(44)이 표면에서 활발한 유동성을 갖기 때문에 배선 패턴(42) 간의 골이 용이하게 매립될 수 있다.

<37> 도 4c는 층간 절연막(43) 증착 완료 후 연마공정을 실시한 후의 소자의 단면

도이다. 증착 초기부터 말기까지 TEOS와  $H_2O_2$ 의 반응에 의해 생성된 중간 물질 및 생성 물질들의 활발한 유동성에 의해 배선판틴(42) 사이의 깊은 골이 보이드의 발생 없이 완전히 매립된 것을 알 수 있다.

<38> [화학식 3]은 TEOS 및  $H_2O_2$ 와 함께 보론(B)이나 인(P)에 해당하는 원료를 각각 또는 함께 도입한 경우를 나타낸다.

<39> 【화학식 3】



<42> 이와 같이, TEOS +  $H_2O_2$  에 B나 P 또는 B와 P를 함께 도입하여 BPSG막을 형성할 수 있으며, 여기에서 B-도펀트로는 TEB, TMB 등이 주로 사용되고, P-도펀트로는 TEOP, TMP 등이 주로 사용된다.

<43> 도 5a 및 5b는 TEOS의 변형물질과 과산화수소의 반응을 설명하기 위해 도시한 화학 구조도이다.

<44> 이상에서 설명한 원리를 이용하면 소오스 물질로서 TEOS 뿐만 아니라 실리콘과 결합이 가능한 유기물 또는 불순물이 함유된 원료를 이용하여 층간 절연막을 형성할 수 있다. 도 5a는 실리콘과 결합하는 4개의  $C_2H_5O$  중 하나가  $CH_3$ 로 치환된 경우를 나타낸다. 이러한 변형 TEOS와  $H_2O_2$ 가 반응하게 되면  $CH_3$ 가 도핑된 저유전 실리콘 산화막( $SiO_x(CH_3)_y$ )이 형성된다. 도 5b는 실리콘과 결합하는 4개의  $C_2H_5O$  중 하나가 F로

치환된 경우를 나나낸다. 이러한 변형 TEOS와  $H_2O_2$ 가 반응하게 되면 F가 도핑된 저유전 실리콘 산화막( $SiO_xF_y$ )이 형성된다.

<45> 이와 같이 변형 TEOS를 이용하는 경우에도 저온 증착 및 일정 범위에서 증착 온도의 조절이 가능한 조건에서 층간 절연막을 형성할 수 있다. 따라서 후속 열처리 공정을 실시할 필요 없이  $800^{\circ}C$  이하의 공정 온도에서 층간 절연막을 형성할 수 있다. 또한, 필요에 따라서는 층간 절연막 형성 후 후속 열처리 공정을 실시하여 층간 절연막의 절연 특성을 확보할 수 있다.

#### 【발명의 효과】

<46> 상술한 바와 같이 본 발명은 기화된 TEOS와  $H_2O_2$ 의 중간 생성물 및 축합 반응 결과물의 활발한 유동성을 이용하여 층간 절연막을 형성하므로써,  $0.13\mu m$  이하의 고집적화 공정에서 소자의 동작속도를 향상시킬 수 있고 고집적 회로 제작 기술을 획기적으로 향상시킬 수 있다. 또한, 고단차에서의 층간 매립 특성을 개선할 수 있어서 저저항의 워드 라인 및 비트라인을 제조할 수 있다.

**【특허청구범위】****【청구항 1】**

배선 패턴이 형성된 웨이퍼를 반응로에 장착하고, 액화 상태의 TEOS 및  $H_2O_2$ 를 기화시켜 상기 반응로에 장착된 상기 웨이퍼 표면에 분사하는 단계; 및

상기 혼합된 TEOS 및  $H_2O_2$ 가 상기 웨이퍼 표면에서 상호 반응을 일으켜 반응 중간 물질이 생성되고 상기 반응 중간 물질의 축합 반응 결과물에 의해 상기 웨이퍼의 전체구조 상에 층간 절연막이 형성되는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 기화 및 가스 유량 조절장치로 TEOS 및  $H_2O_2$ 를 공급할 때 전달가스로 불활성 가스를 동시에 공급하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 가스 분사구로 기화된 TEOS 및  $H_2O_2$ 를 공급할 때 보조가스로 불활성 가스를 공급하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 TEOS와  $H_2O_2$ 의 반응에 보론 또는 인 중 어느 하나 이상을 첨가하여 반응시키므로써 층간 절연막을 형성하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 TEOS는 TEOS 일부의 결합이 유기물 또는 임의의 불순물로 치환된 형태를 갖는 변형 TEOS를 사용하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 TEOS는 TEOS 일부의 결합이  $CH_3$ 로 치환된 형태를 갖는 변형 TEOS를 사용하여  $CH_3$ 가 도핑된 저유전 층간 절연막을 형성하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

【청구항 7】

제 1 항에 있어서,

상기 TEOS는 TEOS 일부의 결합이 F로 치환된 형태를 갖는 변형 TEOS를 사용하여 F가 도핑된 저유전 층간 절연막을 형성하는 것을 특징으로 하는 반도체 소자의 층간 절연



막 형성 방법.

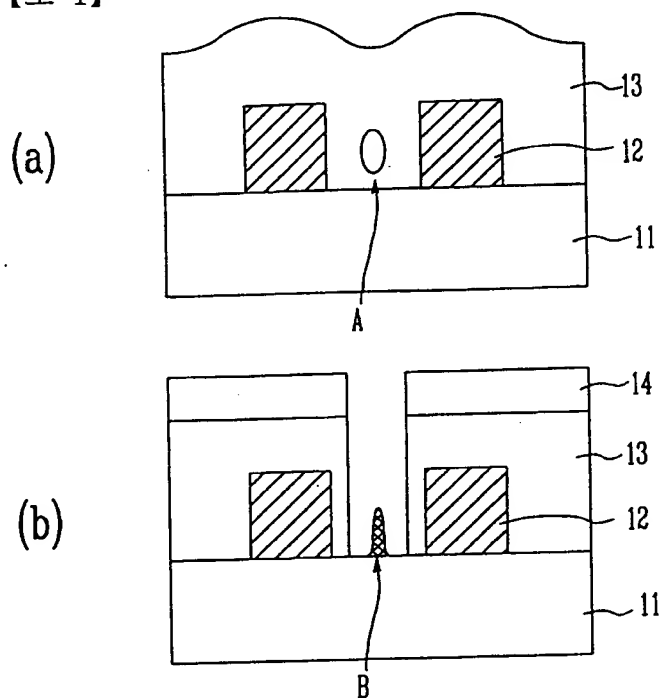
【청구항 8】

제 1 항에 있어서,

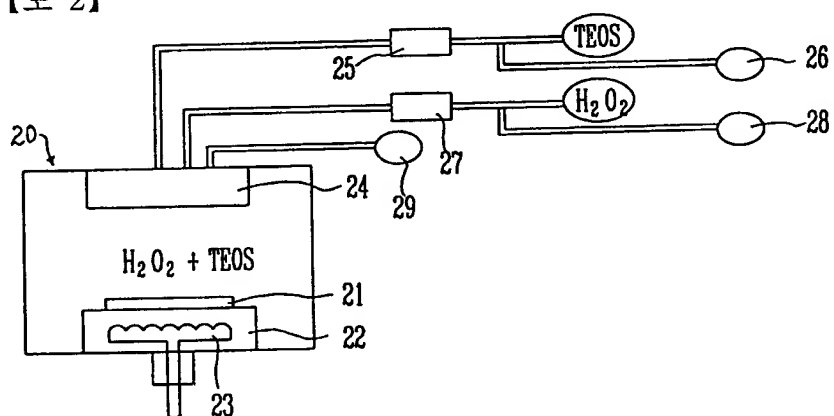
상기 반응로 내의 온도는 온도 조절 장치에 의해 -20 내지 600℃ 사이에서 조절가능하도록 하고, 반응로 내의 압력은 1 내지 2Torr인 것을 특징으로 하는 반도체 소자의  
층간 절연막 형성 방법.

【도면】

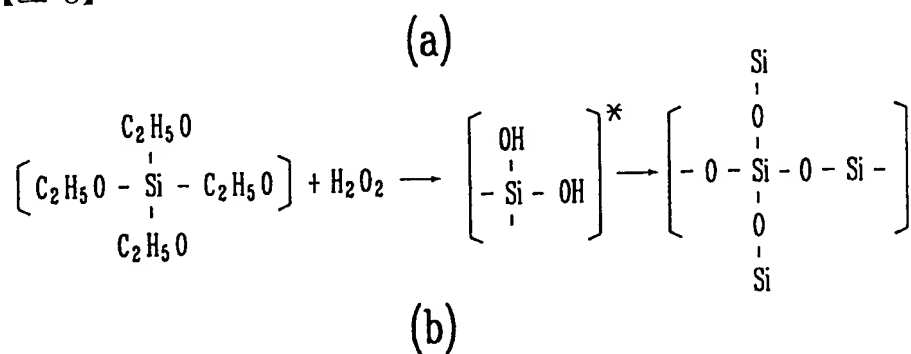
【도 1】



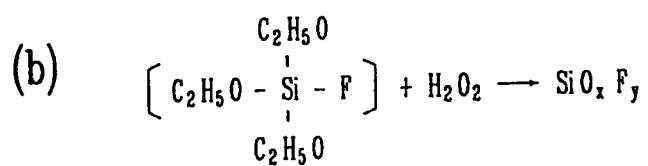
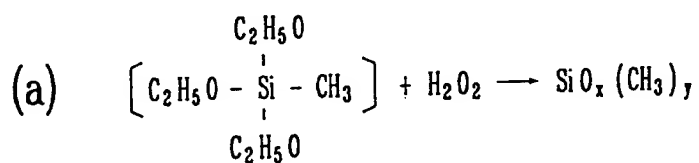
【도 2】



【도 3】



【도 5】



【도 4】

